

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-146119

(43)Date of publication of application : 06.06.1997

(51)Int.Cl.

G02F 1/136

H01L 29/786

H01L 21/336

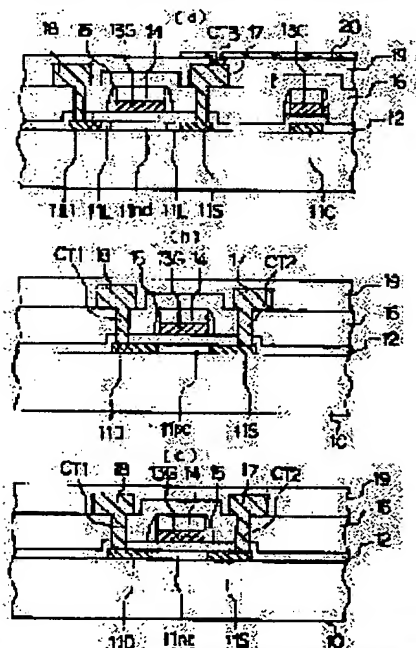
(21)Application number : 07-307644

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 27.11.1995

(72)Inventor : JINNO MASASHI

## (54) LIQUID CRYSTAL DISPLAY DEVICE



### (57)Abstract:

**PROBLEM TO BE SOLVED:** To improve a display grade by changing the threshold characteristic of a p-SiTFT in a pixel part and driving circuit part.

**SOLUTION:** The channel region 11nd of the pixel part is undoped and is formed as the channel region 11p of a shift register part. The voltage between the gate and drain during a non-selection period is negative in the pixel part and, therefore, an off current is shut off and the on-current for high mobility is increased. The dealing with higher fineness and larger screen is possible. Since the threshold increases in the shift register part, the off-current is eliminated and a malfunction is prevented.

## LEGAL STATUS

[Date of request for examination] 18.04.2000

[Date of sending the examiner's decision of rejection] 04.11.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

## [Claim(s)]

[Claim 1] A display pixel consists of a picture element part which it comes to arrange in the shape of a matrix, and a shift register circuit and a sampling circuit on a substrate. The drive circuit section which drives said display pixel is formed. Said picture element part and the drive circuit section In the liquid crystal display constituted by the thin film transistor using polycrystalline silicon as a channel layer, said thin film transistor which constitutes said shift register circuit A polycrystalline silicon layer including the channel field which is formed in island shape and contains the 1st conductivity-type impurity, and the source field and drain field which contain the 2nd conductivity-type impurity on both sides of this channel field, Said thin film transistor which consists of a gate electrode by which opposite arrangement was carried out to said channel field on both sides of the insulator layer, and constitutes said picture element part and said sampling circuit The channel field which is formed in island shape and consists an impurity of an in thorin chic layer, The liquid crystal display characterized by consisting of a polycrystalline silicon layer which includes the source field and drain field which contain the 2nd conductivity-type impurity in high concentration in the both sides of this channel field, and a gate electrode by which opposite arrangement was carried out to said channel field on both sides of the insulator layer.

[Claim 2] The thin film transistor which constitutes said picture element part is a liquid crystal display according to claim 1 characterized by intervening LD field which contains said 2nd conductivity-type impurity in low concentration between a channel field, and a source field and a drain field.

## [Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to poly-SiTFT which realizes drive circuit one apparatus which formed the channel layer with polycrystalline silicon, i.e., poly-Si, and formed the drive circuit section in one on the substrate especially using this about the liquid crystal display (LCD: Liquid Crystal Display) which carried the thin film transistor (TFT: thin film transistor).

[0002]

[Description of the Prior Art] LCD has advantages, such as small, a thin shape, and a low power, and utilization is progressing in fields, such as OA equipment and an AV equipment. Especially the active-matrix mold using the thin film transistor, i.e., TFT, as a switching element can perform the static drive of 100% of duty ratios in multiplexer theoretically, and is used for the big screen and the high definition animation display.

[0003] The substrate (TFT substrate) which carried out connection formation of the TFT, and the substrate (opposite substrate) which has a common electrode stick the bitter taste tee BUMATO risk LCD on both sides of liquid crystal, it is put together, and is constituted by the display electrode arranged in the shape of a matrix. The opposite parts of a display electrode and a common electrode serve as pixel capacity which used liquid crystal as the dielectric layer, and the electrical potential difference chosen by TFT is impressed. Liquid crystal has the anisotropy in electro-optics, and modulates light corresponding to the reinforcement of the electric field formed of pixel capacity.

[0004] LCD of drive circuit one apparatus in which a matrix picture element part and the circumference drive circuit section were formed on the same substrate is developed by using polycrystalline silicon (p-Si) as a channel layer of TFT in recent years. Generally, compared with amorphous silicon (a-Si), mobility is high, and improvement in the speed by contraction of detailed-izing by gate self aryne structure and parasitic capacitance is attained, and p-Si can constitute a high-speed drive circuit by forming the complementary structure of n-chTFT and p-chTFT. Thus, reduction of a manufacturing cost and the miniaturization of a LCD module are realized by a matrix picture element part and really forming the drive circuit section.

[0005] The configuration of such LCD is shown in drawing 16 . The part surrounded by the dotted line of a center section is a MATORISUKU picture element part, and the gate line (G1-Gm) and the drain line for

pixel signals (D1-Dn) which control ON/OFF of TFT cross, and it is arranged. The display electrode (all are un-illustrating) linked to TFT which is a switching element, and this is formed in each intersection. Drain driver which the gate driver (GD) which chooses the Gaea truck in (G1-Gm) as right and left of a display is arranged, samples and holds a video signal for the upper and lower sides of a picture element part, and impresses a pixel signal level to each drain line (D1-Dn) synchronizing with the scan of a gate driver (GD) - (DD) is arranged. A drain driver (DD) mainly consists of a shift register circuit, a sampling circuit, and a capacitor for a hold, and a gate driver (GD) mainly consists of a shift register.

[0006] The structure of a liquid crystal display where such p-SiTFT was used for drawing 17, drawing 18, and drawing 19 is shown. The sectional view where drawing 17 met the top view of a unit picture element part, and drawing 18 met the B-B line, and drawing 19 are the sectional views of p-SiTFT of n mold of the drive circuit section. On substrates (100), such as glass, the 1st auxiliary capacity electrode (101C) which forms the auxiliary capacity for charge maintenance by the island layer of p-Si (101) and one is formed by p-Si (101) by which patterning was carried out to island shape, and the picture element part. All over the wrap, gate dielectric film (102), such as SiO<sub>2</sub>, is covered in p-Si (101) and the 1st auxiliary capacity electrode (101C). On gate dielectric film (102), the Gaea truck in (103L) of one is formed at the gate electrode (103G) which consists of a polycide layer of doped poly-Si and silicide, and this. On a gate electrode and its Rhine (103), the stopper (104) for preventing impregnation of the impurity of n mold is formed in the production process. Moreover, the side-attachment-wall spacer (105) which consists of an insulating material is formed in these gates electrode and the side attachment wall of Rhine (103). In a picture element part, from drawing 18, moreover, in the island layer of p-Si (101) By the self aryne using a gate electrode (103G) and a spacer (105) Low-concentration LD field (101L) which it comes to dope at low concentration at n mold is formed at a channel field (101P) and its both sides, and the source field (101S) and drain field (101D) which were doped by n mold at high concentration are further formed in the outside. Moreover, the channel field (101P) is doped by p mold in order to acquire the property of an enhancement type. On the other hand, in the drive circuit section, LD field is not prepared but the source and a drain field (101S, 101D) are formed in the both sides of the channel field (101P) of p mold of the self aryne structure using a gate electrode (103G) as shown in drawing 19.

[0007] It is referred to as LDD (lightly doped drain), and it is in a picture element part, leakage current is controlled, and the structure where the low-concentration LD:lightly doped field (101L) intervened between the source and the drain field (101S, 101D), and the channel field (101P) is serving to raise electrical-potential-difference retention as shown in drawing 18. On the gate dielectric film (102) corresponding to said 1st auxiliary capacity electrode (101C), the 2nd auxiliary capacity electrode (103C) which consists of the same layer as a gate electrode and Rhine (103) is formed, and auxiliary capacity is formed. Moreover, all over a wrap, the 1st interlayer insulation film (106), such as SiNX, is covered in these gates electrode (103G), its Rhine (103L), and the 2nd auxiliary capacity electrode (103C). On the 1st interlayer insulation film (106), the drain electrode (108) and source electrode (107) which consist of Al etc. are prepared. It connects with the drain source field (101D, 101S) respectively through the 1st and 2nd contact holes (CT4, CT5) by which opening was carried out into gate dielectric film (102) and the 1st interlayer insulation film (106). All over the wrap, the 2nd interlayer insulation film (109) is formed in these drain electrode (108) and the source electrode (107). In the picture element part, further, opening of the 3rd contact hole (CT6) is carried out into the 2nd [ on a source electrode (107) ] interlayer insulation film (109), the display electrode (110) which consists of ITO is formed on the 2nd interlayer insulation film (109), and it connects with the source electrode (107) through the 3rd contact hole (CT6) as shown in drawing 18.

[0008]

[Problem(s) to be Solved by the Invention] Also in the picture element part, the channel field (101P) was doped by p mold like the mechanical component shown in drawing 19 as conventionally shown in drawing 17 and drawing 18. Since this needs to raise a threshold in the drive circuit section for complementary actuation, the same structure as this is adopted also in a picture element part. However, in such a channel dope mold TFT, since a channel layer is a doping layer of p mold, if it is in n-chTFT, effectual mobility will be reduced.

[0009] On the other hand, it is not necessary to raise a threshold with a picture element part like a mechanical component. Moreover, when the miniaturization of a component and highly minute-ization progress, improvement in a charge property is desired. That is, if a component is miniaturized, the channel width of TFT will become small, a mutual conductance will fall, but moreover, if mobility is small, a mutual conductance will become still smaller. Moreover, if highly minute-ization progresses and the number of pixels increases, since the selection period for one line will become short, it is necessary to improve a charge property.

[0010] Moreover, when the channel field which becomes both the drive circuit section and a picture element part from an in thorin chic layer, i.e., a non dope, n mold impurity, and p mold impurity form by the layer which shows the band structure which equivalent doping is carried out and has the Fermi level same as a result as a non dope layer, the following problems arise. Namely, with the impurity in the polish recon film etc., as shown in drawing 20, transfer characteristics may shift from the normal characteristic curve (III) which has a threshold in the 0V neighborhood in the direction in which a threshold falls, as a characteristic curve (IV) shows. When a source electrical potential difference has for example, an electrical potential difference between gate drains high-level by 0V in the shift register section at the time of standby at this time, a subSHURESSHU hold current (Ia) will be produced. According to measurement, there is about 0.2-0.3 V/dec of swings showing a subSHURESSHU hold property, i.e., the gate voltage which takes a source drain current to raise a single figure. Therefore, as shown in drawing 20, even when the voltage-current property had shifted, and gate voltage was changed slightly and set to (Va), marked increase of a subSHURESSHU hold current (Ib) was caused, and it became leakage current at the time of standby, and had also become the cause of malfunction.

[0011]

[Means for Solving the Problem] The picture element part which was accomplished in order that this invention might solve this technical problem and which comes to arrange a display pixel on a substrate in the shape of a matrix first, It consists of a shift register circuit and a sampling circuit, and the drive circuit section which drives said display pixel is formed. Said display pixel and the drive circuit section In the liquid crystal display constituted by the thin film transistor using polycrystalline silicon as a channel layer, said thin film transistor which constitutes said shift register circuit A polycrystalline silicon layer including the channel field which is formed in island shape and contains the 1st conductivity-type impurity, and the source field and drain field which contain the 2nd conductivity-type impurity on both sides of this channel field, Said thin film transistor which consists of a gate electrode by which opposite arrangement was carried out to said channel field on both sides of the insulator layer, and constitutes said picture element part and said sampling circuit The channel field which is formed in island shape and consists an impurity of an in thorin chic layer, It is the configuration which consists of a polycrystalline silicon layer which includes the source field and drain field which contain the 2nd conductivity-type impurity in high concentration in the both sides of this channel field, and a gate electrode by which opposite arrangement was carried out to said channel field on both sides of the insulator layer.

[0012] the channel layer of the thin film transistor which constitutes a picture element part and a sampling circuit -- in thorin -- since the threshold between gate drains becomes the 0V neighborhood and actuation is controlled by forming by the layer which has a chic property, i.e., the layer which has the same Fermi level as a non dope layer, by the low electrical potential difference, power consumption decreases. Moreover, by a miniaturization and highly-minute-izing of a transistor, since the mobility of a channel field does not fall, even if ON period of a transistor is shortened, it is lost that the charging rate of the electrical potential difference for a display falls. On the other hand, in a shift register circuit, since the threshold is raised by channel doping of a thin film transistor, a subSHURESSHU hold current does not flow at the time of standby, and exact complementary actuation is performed by it.

[0013] Moreover, especially the thin film transistor that constitutes said picture element part is the configuration which intervened LD field which contains said 2nd conductivity-type impurity in low concentration between the channel field, and a source field and a drain field. By this, the problem that an OFF current increases is prevented, electrical-potential-difference retention improves in the thin film transistor which an impurity does not contain to said channel field, and a contrast ratio improves.

[0014]

[Embodiment of the Invention] Drawing 1 is the sectional view of each part of the TFT substrate which constitutes \*\*\*\*\* concerning the 1st operation gestalt of this invention. (a) of drawing 1 is the sectional view of a picture element part, and (b) of drawing 2 is the sectional view of the shift register section, and it all shows n-chTFT. Moreover, (c) of drawing 1 is the sectional view of p-chTFT. In addition, the sampling section has become by TFT of the same structure as (a) of drawing 1. Moreover, drawing 2 is the top view of a unit picture element part, and (a) of drawing 1 is the sectional view which met the A-A line of drawing 2.

[0015] On substrates (10), such as glass, p-Si (11) is formed in island shape, and the gate dielectric film (12) of SiO<sub>2</sub> is formed all over the wrap in this. On gate dielectric film (12), a gate line (13L) and a gate electrode (13G) are formed of the polycide which consists of a layered product of doped poly-Si and silicide, such as a tungsten, and the gate electrode (13G) is arranged above the p-Si (11) island layer. By the picture element part (sampling section) (a), it considers directly under [ in p-Si (11) / gate electrode (13G) ] as the non dope layer, and in the shift register section (b), it is doped by p mold at low concentration, and

serves as a channel field (11nd, 11pc) respectively. Moreover, in the p-ch section (c), it is the channel field (11nd) of a non dope. Furthermore, in the picture element part (a), to a gate electrode (13G), it has self aryne relation, the source and the drain field (11S, 11D) which were doped by n mold at high concentration are formed in LD (lightly doped) field (11L) doped [ the both sides of a channel field (11nd) ] by n mold at low concentration, and the outside of this LD field (11L), and it has LDD (lightly doped drain) structure. In the shift register section (b) and the p-ch section (c), the source and the drain field (11S, 11D) which were doped by n mold and p mold with self aryne relation at high concentration at the both sides of a channel field (11pc, 11nd) to the gate electrode (13G), respectively are formed. Moreover, in the picture element part (a), the 1st auxiliary capacity electrode (11C) is formed of the p-Si layer of a source field (11S) and one, and it is covered with gate dielectric film (12). On the 1st auxiliary capacity electrode (11C) which sandwiched gate dielectric film (12), the 2nd auxiliary capacity electrode (13C) which consists of a polycide of the same ingredient as a gate electrode (13G) is formed, and the auxiliary capacity for charge maintenance is formed. On these gates electrode (13G) and the 1st auxiliary capacity electrode (13C), impregnation stoppers (14), such as SiO<sub>2</sub>, are formed by the same pattern from the request on manufacture so that it may state later. Spacers (15), such as SiO<sub>2</sub>, are formed in the side attachment wall of these gates line and an electrode, an auxiliary capacity electrode (13), and an impregnation stopper (14). All over a wrap, the 1st interlayer insulation film (16) which consists of SiO<sub>2</sub> etc. is formed in these. On the 1st interlayer insulation film (16) The contact hole (CT1, CT2) which the drain electrode (18) and source electrode (17) which consist of aluminum etc. were formed, and was respectively formed into gate dielectric film (12) and the 1st interlayer insulation film (16) is minded. It connects with the drain field (11D) and the source field (11S). All over the wrap, the 2nd interlayer insulation film (19) which consists of flattening film, such as SOG film, is formed in these drain electrode (18) and the source electrode (17). Furthermore, in the picture element part (a), it connects with the source electrode (17) through the contact hole (CT3) which the display electrode (20) which consists of ITO (indium tin oxide) was formed on the 2nd interlayer insulation film (19), and was formed into the 2nd interlayer insulation film (18).

[0016] The transfer characteristics of these TFT are shown in drawing 3 . Drawing 3 shows the relation between the gate voltage  $V_g$  near threshold voltage, and the current  $I_s$  between the drain sources. In TFT of the picture element part shown in (a) of drawing 1 , the channel field (11nd) is formed by the poly-Si layer of a non dope. Therefore, in drawing 3 , the transfer characteristics show the description which has a threshold in about  $V_g=0$ , as shown in a graph (I). Moreover, it is the form shifted on the right of the graph (I) as shown in the graph (II) of drawing 3 for the reason for the electrical potential difference which forms by poly-Si which doped the channel field (11pc) in p mold at low concentration in TFT of the shift register section shown in (b) of drawing 1 , and formation of an inversion layer takes, and becomes higher [ a threshold ] than the case of a graph (I).

[0017] On the other hand, each electrode voltage of the picture element part TFT shown in (a) of drawing 1 and each electrode voltage of TFT of the shift register section shown in (b) of drawing 1 were shown in (a) of drawing 4 , and (b), respectively.  $V_g$  is gate voltage and  $V_d$  is a drain electrical potential difference. As (a) of drawing 4 shows, the drain electrical potential difference  $V_d$  is an analog signal electrical potential difference which is carrying out positive/negative reversal and changes level for every 1 level period corresponding to display gradation among the electrical potential differences impressed to the electrode of the picture element part TFT shown in (a) of drawing 1 . During the non-selection period (i.e., the period of OFF of TFT), gate voltage  $V_g$  is negative and the electrical potential difference  $V_{gd}$  between gate drains is set as negative. the usual drive -- setting -- the electrical potential difference  $V_{gd}$  between gate drains -- the minimum -2 -- it is set also to -15V when a \*\*\*\* and the drain electrical potential difference  $V_d$  are forward about V. Moreover, also in the sampling section which samples a drain electrical potential difference, actuation of TFT is driven with the same electrode voltage as this from a video signal. Therefore, TFT of the picture element part shown in (a) of drawing 1 and TFT of the sampling section have the desirable property that a threshold is by  $V_g=0V$ , as the graph (I) of drawing 3 shows. Namely, since a channel field (11nd) is a non dope layer, even if the electrical potential difference  $V_{gd}$  between gate drains becomes large negative Since it is lost that an OFF current increases with p mold carrier and a channel field (11nd) is a non dope, A good display is made even if mobility is high, and 1 horizontal-scanning period is shortened by the miniaturization of transistor size, highly-minute-izing, and the increment in the number of pixels, since charge capacity improves. Moreover, when the threshold of the electrical potential difference  $V_{gd}$  between gate drains became small, driver voltage level can be lowered to the whole and power consumption decreases. Furthermore, the channel width of TFT of the sampling section goes up a threshold sharply by the \*\*\*\* and the channel dope by about 600 micrometers to the channel width of TFT of a picture element part being 2 micrometers. That is, a threshold will vary

in a picture element part and the sampling section. Therefore, in the sampling section, since threshold control becomes easy by not performing a channel dope, design cost falls and the yield improves.

[0018] Moreover, as shown in (b) of drawing 4, TFT of the shift register section of (b) of drawing 1 is digital actuation from which it becomes the electrical potential difference with high level and a low level same [ gate voltage  $V_g$  and the drain electrical potential difference  $V_d$  ]. Therefore, since the electrical potential difference  $V_{gd}$  between gate drains is set to 0V during OFF, in order to intercept an OFF current, it is desirable that the threshold is higher than 0V. That is, since a subSHURESSHU hold current is prevented by setup which the gate drain electrical potential difference  $V_{gd}$  becomes below a threshold with some margin in gate voltage  $V_g$  and leakage current is suppressed by it at the time of standby of a low level, malfunction is prevented.

[0019] That is, by this invention, in a picture element part and the sampling section, a drain electrical potential difference is an analog signal electrical potential difference, even if it does not carry out raising a threshold by the channel dope and the electrical potential difference between gate drains becomes large by this negative paying attention to intercepting a flow by making negative the electrical potential difference between gate drains, p mold electrical conduction is lost and an OFF current is controlled. Moreover, since the mobility at the time of ON improves, it can respond also to highly-minute-izing and big screen-ization. Furthermore, the point that cutoff of an OFF current with a pn junction obstruction becomes impossible is compensated with suppressing an OFF current according to LDD structure. In the shift register section which performs digital actuation to coincidence, a channel dope is performed, the margin to the shift of signal-level level is raised by raising a threshold, malfunction is prevented, and dependability is improved.

[0020] Then, the manufacture approach of the liquid crystal display shown in drawing 1 is explained. Drawing 5 to drawing 15 is the process sectional view showing the manufacture approach. (a) of each drawing is TFT of the picture element part corresponding to (a) of drawing 1, (b) is n-chTFT of the shift register section corresponding to (b) of drawing 2, and (c) is p-chTFT corresponding to (c) of drawing 1. TFT of the sampling section is manufactured by the same approach as (a).

[0021] The laminating of the amorphous silicon (a-Si) is carried out by CVD which made the silane  $\text{SiH}_4$  ingredient gas in drawing 5 on the substrate (10) which consists of glass first. This a-Si is polycrystal-ized by 400-degree C excimer laser annealing, and it considers as polish recon (p-Si) (11). This is etched by reactant ion dirty (reactive ion etch), i.e., RIE, and the island layer of the TFT section and the 1st auxiliary capacity electrode (11C) are formed.

[0022] Next, in drawing 6, after covering a picture element part (a) and the p-ch section (c) by the resist (R), the p-Si (11) layer of the shift register section (b) is doped in p mold at low concentration by performing the ion implantation of the boron (B) which is p mold impurity. As shown in drawing 7 after resist exfoliation, on these, with the reduced pressure CVD of 440 degrees C, the laminating of  $\text{SiO}_2$  is carried out to the thickness of 1000Å, and gate dielectric film (12) is formed. And a resist (R) is covered on [ all ] the TFT section, the ion implantation of n mold impurities, such as phosphorus (P), is performed, and the 1st auxiliary capacity electrode (11C) is formed into low resistance.

[0023] next, the 580-degree C elevated temperature which made  $\text{SiH}_4$  ingredient gas on this as shown in drawing 8 -- the laminating of poly-Si is carried out by CVD, and after performing and forming the ion implantation of phosphorus into low resistance, sputtering of the tungsten silicide (WSi) is carried out. Then, the laminating of  $\text{SiO}_2$  which serves as an impregnation stopper (14) is carried out by the 410-degree C ordinary pressure CVD. And these [  $\text{SiO}_2$  ] and the polycide layer of poly-Si and WSi are etched by the same pattern by RIE, and the impregnation stopper (14) with which it was covered on the gate line (13L) and the 2nd auxiliary capacity electrode (13C) which connect this with a gate electrode (13G) mutually about a line in a picture element part and these gates electrode (13G), its Rhine, and the 2nd auxiliary capacity electrode (13C) is formed.

[0024] As shown in drawing 9, a side-attachment-wall spacer (15) is again formed in a gate electrode (13G) and the impregnation stopper on it (14) by the 410-degree C ordinary pressure CVD by carrying out the laminating of  $\text{SiO}_2$  and etching this by RIE. Next, as shown in drawing 10, after forming a wrap resist (R) for p-chTFT (c), the time [ 1st ] ion implantation of n mold impurities, such as phosphorus (P), is performed with a low dose ( $3\text{-}5 \times 10^{13}/\text{cm}^2$ ), and the field which becomes a mask about a gate electrode (13G) with the source and a drain field (11S, 11D), and LD field (11L) is doped to low concentration (n-). At this time, it remains as a channel field (11pc) where it was doped directly under the gate electrode (13G) by the channel field (11nd) of a non dope in the picture element part (a), and it was doped by p mold by n-chTFT of the shift register section (b). In addition, in this process, in order that a spacer (15) may prepare the margin to diffusion of the longitudinal direction by annealing after a phosphorus ion implantation, it falls the high impurity concentration of a channel field edge, eases drain



electric field, and has the work which improves pressure-proofing.

[0025] As succeeding shown in drawing 11, a resist with bigger size (R1) than a gate electrode (13G) is covered to a picture element part (a), and the time [ 2nd ] ion implantation of phosphorus (P) is performed for this on a mask in a high-dose amount ( $3 \times 10^{15}/\text{cm}^2$ ). While being maintained at a low-concentration doping field (n-) directly under [ resist (R1) ] a picture element part (a) and forming LD field (11L) by this, the source field (11S) and drain field (11D) which consist of an n+ layer doped by high concentration are formed in the outside of this LD field (11L). In the shift register section (b), there is no LD field and the source field (11S) and drain field (11D) which consist of an n+ layer doped by the both sides of a channel field (11pc) at high concentration are formed.

[0026] As it exfoliates and a resist is shown in drawing 12 the back, a wrap resist (R) is formed for n-chTFT of a picture element part (a) and the shift register section (b), the ion implantation of the boron (B) which is p mold impurity is performed, and the source field (11S) and drain field (11D) of p-chTFT (c) are formed by the high concentration layer (p+) of p mold. At this time, directly under a gate electrode (13G), it is maintained at a non dope and a channel field (11nd) is formed. Moreover, the impregnation stopper (14) has prevented carrying out the counter dope of the boron to the gate electrode doped and formed into low resistance by n mold, and its Rhine, and raising resistance.

[0027] After activating the doped field (11cp, 11L, 11S, 11D) of p-Si, as it is shown in drawing 13 by lamp annealing or excimer laser annealing, after forming SiO<sub>2</sub> [ 2000Å ] by the 410-degree C ordinary pressure CVD and annealing at 600 degrees C, further, SiO<sub>2</sub> is formed in thickness of 3000Å by 300-degree C plasma CVD, and the 1st interlayer insulation film (16) is formed. Then, for the purpose of the uncombined hand termination in silicon, after performing H<sub>2</sub> 450-degree C annealing, a contact hole (CT1, CT2) is formed by RIE into the gate dielectric film (12) on a drain and a source field (11D, 11S), and the 1st interlayer insulation film (16).

[0028] And as shown in drawing 14, the laminating of Ti/AlSi is carried out to the thickness of 7000Å by sputtering, patterning of this is carried out by RIE, a drain electrode (17) and a source electrode (18) are formed, and it connects with a drain and a source field (11D, 11S) through a contact hole (CT1, CT2) respectively. After performing 390-degree C H plasma treatment for the uncombined hand termination in silicon, as again shown in drawing 15, by 410-degree C CVD After covering and carrying out flattening of the SiO<sub>2</sub> film formed by the SOG film, i.e., spin spreading, and baking after carrying out the laminating of SiO<sub>2</sub> to the thickness of 2000Å, further, by 410-degree C CVD, the laminating of SiO<sub>2</sub> is carried out to the thickness of 1000Å, and the 2nd interlayer insulation film (19) is completed. And a contact hole (CT3) is formed by RIE into the 2nd interlayer insulation film (19) on the source electrode (18) of a picture element part (a).

[0029] Finally, ITO is formed by sputtering, patterning of this is carried out by RIE, a display electrode (20) is formed, it connects with a source electrode (18), and the TFT substrate shown in drawing 1 is completed.

[0030]

[Effect of the Invention] This invention is the configuration of not performing a channel dope in the sampling section of a picture element part and the drive circuit section while performing a channel dope in the shift register section of the drive circuit section by the polycrystalline silicon thin film transistor in the liquid crystal display which really formed the drive circuit section on the substrate like the picture element part, so that clearly from the above explanation. Since the OFF current by p mold electric conduction is prevented, and a contrast ratio improves in a picture element part and the sampling section, and ON resistance falls and charging efficiency becomes good while a threshold goes up, a flow and non-flowed control margin of complementary actuation are obtained in the shift register section by this, malfunction is prevented and dependability increases, the optimal display also for a high definition and a big screen is obtained. Moreover, since the threshold is low, a low-battery drive is attained, and power consumption is reduced.

[Brief Description of the Drawings]

[Drawing 1] It is the sectional view of TFT of each part of the liquid crystal display concerning the operation gestalt of this invention.

[Drawing 2] It is the top view of the unit picture element part of the liquid crystal display concerning the operation gestalt of this invention.

[Drawing 3] It is the transfer-characteristics property of TFT of each part of the liquid crystal display concerning the operation gestalt of this invention.

[Drawing 4] It is the electrical-potential-difference wave form chart of TFT of each part of the liquid



crystal display concerning the operation gestalt of this invention.

[Drawing 5] It is the process sectional view showing the manufacture approach of the liquid crystal display concerning the operation gestalt of this invention.

[Drawing 6] It is the process sectional view showing the manufacture approach of the liquid crystal display concerning the operation gestalt of this invention.

[Drawing 7] It is the process sectional view showing the manufacture approach of the liquid crystal display concerning the operation gestalt of this invention.

[Drawing 8] It is the process sectional view showing the manufacture approach of the liquid crystal display concerning the operation gestalt of this invention.

[Drawing 9] It is the process sectional view showing the manufacture approach of the liquid crystal display concerning the operation gestalt of this invention.

[Drawing 10] It is the process sectional view showing the manufacture approach of the liquid crystal display concerning the operation gestalt of this invention.

[Drawing 11] It is the process sectional view showing the manufacture approach of the liquid crystal display concerning the operation gestalt of this invention.

[Drawing 12] It is the process sectional view showing the manufacture approach of the liquid crystal display concerning the operation gestalt of this invention.

[Drawing 13] It is the process sectional view showing the manufacture approach of the liquid crystal display concerning the operation gestalt of this invention.

[Drawing 14] It is the process sectional view showing the manufacture approach of the liquid crystal display concerning the operation gestalt of this invention.

[Drawing 15] It is the process sectional view showing the manufacture approach of the liquid crystal display concerning the operation gestalt of this invention.

[Drawing 16] It is the block diagram of a liquid crystal display.

[Drawing 17] It is the top view of the unit picture element part of a liquid crystal display.

[Drawing 18] It is the sectional view which met the B-B line of drawing 17.

[Drawing 19] It is the sectional view of the drive circuit section.

[Drawing 20] They are the transfer characteristics of TFT explaining the trouble of the conventional liquid crystal display.

[Description of Notations]

10 Substrate

11 p-Si

12 Gate Dielectric Film

13 Gate Electrode Wiring

14 Impregnation Stopper

15 Spacer

16 1st Interlayer Insulation Film

17 Drain Electrode

18 Source Electrode

19 2nd Interlayer Insulation Film

20 Display Electrode

CT1, CT2, CT3 Contact hole

R Resist

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-146119

(43) 公開日 平成9年(1997)6月6日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/136	5 0 0		G 0 2 F 1/136	5 0 0
H 0 1 L 29/786			H 0 1 L 29/78	6 1 2 B
21/336				6 1 6 A

審査請求 未請求 請求項の数 2 O L (全 14 頁)

(21) 出願番号 特願平7-307644

(22) 出願日 平成7年(1995)11月27日

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 神野 優志

大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内

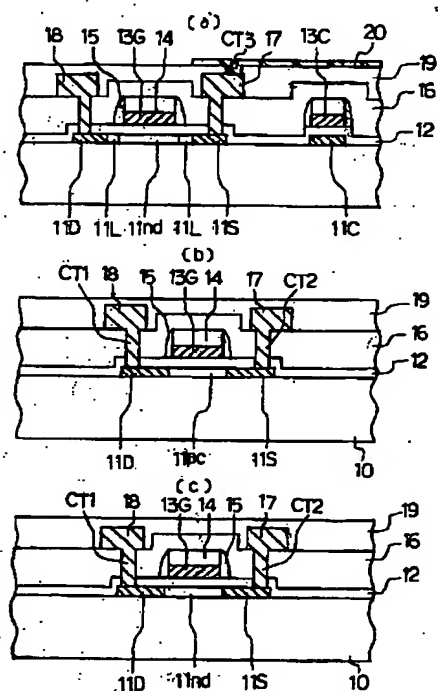
(74) 代理人 弁理士 岡田 敬

(54) 【発明の名称】 液晶表示装置

## (57) 【要約】

【課題】 p-Si TFTを用いた駆動回路一体型液晶表示装置において、画素部と駆動回路部でp-Si TFTの閾値特性を変え、表示品位を向上する。

【解決手段】 画素部のチャンネル領域11ndをノンドープとし、シフトレジスタ部のチャンネル領域11pcとする。画素部では、非選択期間中のゲート・ドレイン間電圧が負となるため、OFF電流が遮断されるとともに、高移動度のためON電流も増加し、高精細、大画面化にも対応できる。シフトレジスタ部では閾値が上がるため、OFF電流が無くされ、誤動作が防止される。



## 【特許請求の範囲】

【請求項 1】 基板上に、表示画素がマトリクス状に配置されてなる画素部と、シフトレジスタ回路及びサンプリング回路からなり、前記表示画素を駆動する駆動回路部とが形成され、前記画素部及び駆動回路部は、チャンネル層として多結晶シリコンを用いた薄膜トランジスタにより構成された液晶表示装置において、

前記シフトレジスタ回路を構成する前記薄膜トランジスタは、島状に形成され第 1 導電型不純物を含有するチャンネル領域と、このチャンネル領域の両側に第 2 の導電型不純物を含有するソース領域及びドレイン領域とを含む多結晶シリコン層と、絶縁膜を挟んで前記チャンネル領域に対向配置されたゲート電極とからなり、

前記画素部及び前記サンプリング回路を構成する前記薄膜トランジスタは、島状に形成され不純物をイントリンシック層からなるチャンネル領域と、このチャンネル領域の両側に第 2 の導電型不純物を高濃度に含有するソース領域及びドレイン領域とを含む多結晶シリコン層と、絶縁膜を挟んで前記チャンネル領域に対向配置されたゲート電極とからなることを特徴とする液晶表示装置。

【請求項 2】 前記画素部を構成する薄膜トランジスタは、チャンネル領域と、ソース領域及びドレイン領域の間に、前記第 2 の導電型不純物を低濃度に含有する LD 領域を介在したことを特徴とする請求項 1 記載の液晶表示装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、薄膜トランジスタ (TFT: thin film transistor) を搭載した液晶表示装置 (LCD: Liquid Crystal Display) に関し、特に、チャンネル層を多結晶シリコン、即ち、 $\text{poly-Si}$  により形成し、これを用いて駆動回路部を基板上に一体的に形成した駆動回路一体型を実現する  $\text{poly-Si TFT}$  に関する。

## 【0002】

【従来の技術】LCD は小型、薄型、低消費電力などの利点があり、OA 機器、AV 機器などの分野で実用化が進んでいる。特に、スイッチング素子として、薄膜トランジスタ、即ち、TFT を用いたアクティブマトリクス型は、原理的にデューティ比 100% のスタティック駆動をマルチプレクスのに行うことができ、大画面、高精細な動画ディスプレイに使用されている。

【0003】アクティブマトリクス LCD は、マトリクス状に配置された表示電極に TFT を接続形成した基板 (TFT 基板) と共通電極を有する基板 (対向基板) が、液晶を挟んで貼り合わされて構成されている。表示電極と共通電極の対向部分は液晶を誘電層とした画素容量となっており、TFT により選択された電圧が印加される。液晶は電気光学的に異方性を有しており、画素容量により形成された電界の強度に対応して光を変調す

る。

【0004】近年、TFT のチャンネル層として多結晶シリコン ( $\text{p-Si}$ ) を用いることによって、マトリクス画素部と周辺駆動回路部を同一基板上に形成した駆動回路一体型の LCD が開発されている。一般に、 $\text{p-Si}$  は非結晶シリコン ( $\text{a-Si}$ ) に比べて移動度が高く、また、ゲートセルフアライン構造による微細化、寄生容量の縮小による高速化が達成され、 $\text{n-ch TFT}$  と  $\text{p-ch TFT}$  の相補構造を形成することにより、高速駆動回路を構成することができる。このように、駆動回路部をマトリクス画素部と一体形成することにより、製造コストの削減、LCD モジュールの小型化が実現される。

【0005】図 16 にこのような LCD の構成を示す。中央部の点線で囲まれた部分はマトリクス画素部であり、TFT の ON/OFF を制御するゲートライン ( $G1 \sim Gm$ ) と画素信号用のドレインライン ( $D1 \sim Dn$ ) が交差して配置されている。各交点にはスイッチング素子である TFT とこれに接続する表示電極 (いずれも不図示) が形成されている。表示部の左右にはゲートライン ( $G1 \sim Gm$ ) を選択するゲートドライバー ( $GD$ ) が配置され、画素部の上下には、映像信号をサンプリングしてホールドし、ゲートドライバ ( $GD$ ) の走査に同期して各ドレインライン ( $D1 \sim Dn$ ) に画素信号電圧を印加するドレインドライバー ( $DD$ ) が配置されている。ドレインドライバー ( $DD$ ) は、主としてシフトレジスタ回路、サンプリング回路及びホールド用キャパシターからなり、ゲートドライバー ( $GD$ ) は主にシフトレジスタからなる。

【0006】図 17、図 18 及び図 19 に、このような  $\text{p-Si TFT}$  を用いた液晶表示装置の構造を示す。図 17 は単位画素部の平面図、図 18 はその B-B 線に沿った断面図、図 19 は、駆動回路部の n 型の  $\text{p-Si TFT}$  の断面図である。ガラスなどの基板 (100) 上に、島状にパターニングされた  $\text{p-Si}$  (101)、及び、画素部では、 $\text{p-Si}$  (101) の島層と一体で電荷保持用の補助容量を形成する第 1 の補助容量電極 (101C) が形成されている。 $\text{p-Si}$  (101) 及び第 1 の補助容量電極 (101C) を覆う全面には、 $\text{SiO}_2$  などのゲート絶縁膜 (102) が被覆されている。ゲート絶縁膜 (102) 上には、ドーパド  $\text{poly-Si}$  とシリサイドのポリサイド層からなるゲート電極 (103G) と、これに一体のゲートライン (103L) が形成されている。ゲート電極とそのライン (103) 上には、製造工程において、n 型の不純物の注入を防ぐためのストッパー (104) が形成されている。また、これらゲート電極及びライン (103) の側壁には、絶縁物からなる側壁スペーサ (105) が形成されている。また画素部では、図 18 より、 $\text{p-Si}$  (101) の島層中には、ゲート電極 (103G) とスペーサ (105)

を使ったセルフアラインにより、チャンネル領域(101P)とその両側にn型に低濃度にドーピングされてなる低濃度のLD領域(101L)が形成され、更にその外側にはn型に高濃度にドーピングされたソース領域(101S)及びドレイン領域(101D)が形成されている。また、チャンネル領域(101P)はエンハンスメント形の特性を得るために、p型にドーピングされている。一方、図19に示されているように、駆動回路部では、LD領域は設けられず、ゲート電極(103G)を使ったセルフアライン構造により、p型のチャンネル領域(101P)の両側に、ソース及びドレイン領域(101S、101D)が形成されている。

【0007】図18に示されているように、ソース及びドレイン領域(101S、101D)とチャンネル領域(101P)の間に低濃度のLD: lightly doped)領域(101L)が介在された構造はLDD (lightly doped drain)と呼ばれ、画素部にあってリーク電流が抑制され、電圧保持率を高める働きをしている。前記第1の補助容量電極(101C)に対応するゲート絶縁膜(102)上にはゲート電極及びライン(103)と同一層からなる第2の補助容量電極(103C)が形成され、補助容量を形成している。また、これらゲート電極(103G)とそのライン(103L)及び第2の補助容量電極(103C)を覆う全面にはSiNXなどの第1の層間絶縁膜(106)が被覆され、第1の層間絶縁膜(106)上には、A1などからなるドレイン電極(108)及びソース電極(107)が設けられ、ゲート絶縁膜(102)及び第1の層間絶縁膜(106)中に開口された第1及び第2のコンタクトホール(CT4、CT5)を介して各々ドレイン・ソース領域(101D、101S)に接続されている。これらドレイン電極(108)及びソース電極(107)を覆う全面には、第2の層間絶縁膜(109)が形成されている。図18に示されているように、画素部では更にソース電極(107)上の第2の層間絶縁膜(109)中に第3のコンタクトホール(CT6)が開口され、第2の層間絶縁膜(109)上にはITOからなる表示電極(110)が形成され、第3のコンタクトホール(CT6)を介してソース電極(107)へ接続されている。

#### 【0008】

【発明が解決しようとする課題】従来は、図17及び図18に示されているように、画素部においても、図19に示した駆動部と同様、チャンネル領域(101P)が、p型にドーピングされていた。これは、駆動回路部においては、相補動作のために、閾値を上げる必要があるため、画素部においてもこれと同じ構造が採用されたものである。しかし、このような、チャンネルドーブ型TFTでは、チャンネル層が、p型のドーピング層であるため、n-ch TFTにあっては、実効的な移動度を低下させてしまう。

【0009】一方、画素部では、駆動部のように、閾値をあげる必要はない。また、素子の小型化、高精細化が進むと、充電特性の向上が望まれる。即ち、素子が小型化すると、TFTのチャンネル幅が小さくなり、相互コンダクタンスが低下するが、その上、移動度が小さくても、相互コンダクタンスが更に小さくなってしまふ。また、高精細化が進み画素数が増大すると、1ライン分の選択期間が短くなるため、充電特性を良くする必要がある。

【0010】また、駆動回路部と画素部のいずれにも、イントリンシック層からなるチャンネル領域、即ち、ノンドーブあるいはn型不純物とp型不純物が等量ドーピングされて結果的にノンドーブ層と同じフェルミレベルを有するバンド構造を示す層により形成した場合次のような問題が起こる。即ち、図20に示すように、伝達特性が、閾値を0V付近に有する正常な特性曲線(II)から、ポリシリコン膜中の不純物などにより、特性曲線(IV)で示すように、閾値が下がる方向にシフトする場合がある。この時、シフトレジスタ部において、スタンバイ時に、例えばゲート・ドレイン間電圧が0Vで、ソース電圧がハイレベルにあるような場合、サブシュレッシュホールド電流(Ia)を生じてしまう。測定によれば、サブシュレッシュホールド特性を表すシング、即ち、ソース・ドレイン電流を1桁上げるのに要されるゲート電圧は、0.2~0.3V/de c程度ある。従って、図20に示すように電圧-電流特性がシフトしていると、ゲート電圧が僅かに変動して(Va)になった場合でも、サブシュレッシュホールド電流(Ib)の激増を招き、スタンバイ時のリーク電流となつて、誤動作の原因にもなっていた。

#### 【0011】

【課題を解決するための手段】本発明はこの課題を解決するために成されたもので、まず、基板上に、表示画素がマトリクス状に配置されてなる画素部と、シフトレジスタ回路及びサンプリング回路からなり、前記表示画素を駆動する駆動回路部とが形成され、前記表示画素及び駆動回路部は、チャンネル層として多結晶シリコンを用いた薄膜トランジスタにより構成された液晶表示装置において、前記シフトレジスタ回路を構成する前記薄膜トランジスタは、島状に形成され第1導電型不純物を含有するチャンネル領域と、このチャンネル領域の両側に第2の導電型不純物を含有するソース領域及びドレイン領域とを含む多結晶シリコン層と、絶縁膜を挟んで前記チャンネル領域に対向配置されたゲート電極とからなり、前記画素部及び前記サンプリング回路を構成する前記薄膜トランジスタは、島状に形成され不純物をイントリンシック層からなるチャンネル領域と、このチャンネル領域の両側に第2の導電型不純物を高濃度に含有するソース領域及びドレイン領域とを含む多結晶シリコン層と、絶縁膜を挟んで前記チャンネル領域に対向配置されたゲ

ート電極とからなる構成である。

【0012】画素部及びサンプリング回路を構成する薄膜トランジスタのチャンネル層をイントリンシックな特性を有する層、即ち、ノンドープ層と同じフェルミレベルを有する層により形成することで、ゲート・ドレイン間の閾値が0V付近になり、低い電圧により動作が制御されるので、消費電力が低減する。また、チャンネル領域の移動度が下がらないため、トランジスタの小型化や高精細化により、トランジスタのON期間が短縮しても、表示用電圧の充電率が下がることが無くなる。一方、シフトレジスタ回路では、薄膜トランジスタのチャンネルドーピングにより、閾値が上げられているので、スタンバイ時においてもサブシュレッシュホールド電流が流れることが無く、正確な相補動作が行われる。

【0013】また特に、前記画素部を構成する薄膜トランジスタは、チャンネル領域と、ソース領域及びドレイン領域の間に、前記第2の導電型不純物を低濃度に含有するLD領域を介在した構成である。これにより、前記チャンネル領域に不純物が含有されない薄膜トランジスタにおいて、OFF電流が増えるという問題が防がれ、電圧保持率が向上し、コントラスト比が向上する。

【0014】

【発明の実施の形態】図1は本発明の第1の実施形態にかかる液晶表示装を構成するTFT基板の各部の断面図である。図1の(a)は、画素部の断面図であり、図2の(b)は、シフトレジスタ部の断面図で、いずれもn-chTFTを示している。また、図1の(c)はp-chTFTの断面図である。なお、サンプリング部は、図1の(a)と同様の構造のTFTによりなっている。また、図2は単位画素部の平面図であり、図1の(a)は図2のA-A線に沿った断面図である。

【0015】ガラスなどの基板(10)上に、p-Si(11)が島状に形成され、これを覆う全面には、SiO<sub>2</sub>のゲート絶縁膜(12)が形成されている。ゲート絶縁膜(12)上には、ドーパドpoly-Siとタンダステンなどのシリサイドとの積層体からなるポリサイドにより、ゲートライン(13L)及びゲート電極(13G)が形成され、ゲート電極(13G)はp-Si(11)島層の上方に配置されている。画素部(サンプリング部)(a)では、p-Si(11)中のゲート電極(13G)直下は、ノンドープ層とされており、シフトレジスタ部(b)では、p型に低濃度にドーピングされ、各々チャンネル領域(11nd, 11pc)となっている。また、p-ch部(c)では、ノンドープのチャンネル領域(11nd)となっている。更に、画素部(a)では、ゲート電極(13G)に対し、セルフアライン関係をもって、チャンネル領域(11nd)の両側にn型に低濃度にドーピングされたLD(lightly doped)領域(11L)及びこのLD領域(11L)の外側

イン領域(11S, 11D)が形成され、LDD(lightly doped drain)構造となっている。シフトレジスタ部(b)及びp-ch部(c)では、それぞれゲート電極(13G)に対しセルフアライン関係をもってチャンネル領域(11pc, 11nd)の両側にn型及びp型に高濃度にドーピングされたソース及びドレイン領域(11S, 11D)が形成されている。また、画素部(a)では、ソース領域(11S)と一体のp-Si層により第1の補助容量電極(11C)が形成され、ゲート絶縁膜(12)に覆われている。ゲート絶縁膜(12)を挟んだ第1の補助容量電極(11C)上には、ゲート電極(13G)と同一材料のポリサイドからなる第2の補助容量電極(13C)が形成され、電荷保持用の補助容量を形成している。これら、ゲート電極(13G)及び第1の補助容量電極(13C)上には、後に述べるように製造上の要請からSiO<sub>2</sub>などの注入ストッパー(14)が、同じパターンで形成されている。これらゲートライン及び電極と補助容量電極(13)と注入ストッパー(14)の側壁にはSiO<sub>2</sub>などのスペーサ(15)が形成されている。これらを覆う全面には、SiO<sub>2</sub>などからなる第1の層間絶縁膜(16)が形成され、第1の層間絶縁膜(16)上には、Alなどからなるドレイン電極(18)及びソース電極(17)が形成され、各々ゲート絶縁膜(12)及び第1の層間絶縁膜(16)中に形成されたコンタクトホール(CT1, CT2)を介して、ドレイン領域(11D)及びソース領域(11S)に接続されている。これらドレイン電極(18)及びソース電極(17)を覆う全面には、SOG膜などの平坦化膜からなる第2の層間絶縁膜(19)が形成されている。更に画素部(a)では、第2の層間絶縁膜(19)上にITO(indium tin oxide)からなる表示電極(20)が形成され、第2の層間絶縁膜(18)中に形成されたコンタクトホール(CT3)を介してソース電極(17)に接続されている。

【0016】これらTFTの伝達特性を図3に示す。図3は、閾値電圧付近でのゲート電圧V<sub>g</sub>とドレイン・ソース間電流I<sub>s</sub>との関係を示している。図1の(a)に示す画素部のTFTでは、チャンネル領域(11nd)は、ノンドープのpoly-Si層により形成している。従って、その伝達特性は図3において、グラフ(I)に示す如く、V<sub>g</sub>=0近傍において閾値がある特徴を示している。また、図1の(b)に示すシフトレジスタ部のTFTでは、チャンネル領域(11pc)は、p型に低濃度にドーピングしたpoly-Siにより形成しており、反転層の形成に要する電圧分のため、図3のグラフ(II)に示す如く、グラフ(I)よりも右へシフトした形で、閾値はグラフ(I)の場合よりも高くなる。

【0017】一方、図4の(a)及び(b)には、それぞれ、図1の(a)に示す画素部TFTの各電極電圧

と、図1の(b)に示すシフトレジスタ部のTFTの各電極電圧を示した。V<sub>g</sub>はゲート電圧、V<sub>d</sub>はドレイン電圧である。図4の(a)より分かるように、図1の

(a)に示す画素部TFTの電極へ印加される電圧のうち、ドレイン電圧V<sub>d</sub>は正負反転しており、かつ、1水平期間毎に、表示階調に対応してレベルが変わるアナログ信号電圧である。非選択期間中、即ち、TFTがOFFの期間ではゲート電圧V<sub>g</sub>は負で、ゲート・ドレイン間の電圧V<sub>gd</sub>は負に設定されている。通常の駆動において、ゲート・ドレイン間電圧V<sub>gd</sub>は最低でも-2V程度あり、ドレイン電圧V<sub>d</sub>が正の時は-15Vにもなる。また、映像信号よりドレイン電圧をサンプリングするサンプリング部においても、TFTの動作は、これと同様の電極電圧により駆動される。従って、図1の

(a)に示す画素部のTFT及びサンプリング部のTFTは、図3のグラフ(I)で示す如く、V<sub>g</sub>=0Vで閾値がある特性が好ましい。即ち、チャンネル領域(11nd)がノンドープ層であるため、ゲート・ドレイン間電圧V<sub>gd</sub>が負に大きくなっても、p型キャリアによりOFF電流が増大することが無くなり、また、チャンネル領域(11nd)がノンドープであるため、移動度が高く、充電能力が向上するため、トランジスタサイズの小型化、高精細化、及び画素数の増加によって1水平走査期間が短縮しても、良好な表示がなされる。また、ゲート・ドレイン間電圧V<sub>gd</sub>の閾値が小さくなったことにより、駆動電圧レベルを全体に下げることができ、消費電力が減少する。更に、画素部のTFTのチャンネル幅は、2μmであるのに対して、サンプリング部のTFTのチャンネル幅は、600μm程度あり、チャンネルドープにより、閾値は大幅に上がる。即ち、画素部とサンプリング部において、閾値がばらついてしまう。従って、サンプリング部において、チャンネルドープを行わないことにより、閾値制御が容易となるため、設計コストが下がり、歩留まりが向上する。

【0018】また、図4の(b)に示す如く、図1の(b)のシフトレジスタ部のTFTは、ゲート電圧V<sub>g</sub>とドレイン電圧V<sub>d</sub>は、ハイレベルとローレベルが同じ電圧となるデジタル動作である。従って、OFF中にゲート・ドレイン間電圧V<sub>gd</sub>が0Vとなるので、OFF電流を遮断するためには、閾値が0Vよりも高くなっていることが好ましい。即ち、ゲート電圧V<sub>g</sub>がローレベルのスタンバイ時、ゲート・ドレイン電圧V<sub>gd</sub>が若干のマージンをもって閾値以下となる設定により、サブシュレッシュホールド電流が防がれ、リーク電流が抑えられるので、誤動作が防止される。

【0019】即ち、本発明では、画素部及びサンプリング部では、ドレイン電圧がアナログ信号電圧であり、ゲート・ドレイン間電圧を負とすることにより、導通を遮断することに着目し、チャンネルドープにより閾値を上げることをせず、かつ、これにより、ゲート・ドレイン

間電圧が負に大きくなっても、p型電導が無くなり、OFF電流が抑制される。また、ON時の移動度が向上するため、高精細化、大画面化にも対応することができる。更に、pn接合障壁によるOFF電流の遮断が不能となる点は、LDD構造によりOFF電流を抑えることで補償している。同時に、デジタル動作を行うシフトレジスタ部では、チャンネルドープを行い、閾値を上げることで信号電圧レベルのシフトに対するマージンを高め、誤動作を防ぎ、信頼性を向上するものである。

【0020】続いて、図1に示す液晶表示装置の製造方法を説明する。図5から図15は、製造方法を示す工程断面図である。各図の(a)は図1の(a)に対応する画素部のTFTであり、(b)は図2の(b)に対応するシフトレジスタ部のn-chTFTであり、(c)は図1の(c)に対応するp-chTFTである。サンプリング部のTFTは、(a)と同様の方法で製造される。

【0021】まず図5において、ガラスからなる基板(10)上に、シランSiH<sub>4</sub>を材料ガスとしたCVDによりアモルファスシリコン(a-Si)を積層する。このa-Siを400℃のエキシマレーザアニールにより多結晶化し、ポリシリコン(p-Si)(11)とする。これを、反応性イオンエッチ、即ち、RIE(reactive ion etch)によりエッチングしてTFT部の島層及び第1の補助容量電極(11C)を形成する。

【0022】次に、図6において、画素部(a)及びp-ch部(c)をレジスト(R)で覆った後、p型不純物であるボロン(B)のイオン打ち込みを行うことにより、シフトレジスタ部(b)のp-Si(11)層をp型に低濃度にドーピングする。レジスト剥離後、図7に示す如く、これらの上に、440℃の減圧CVDにより、SiO<sub>2</sub>を1000Åの厚さに積層し、ゲート絶縁膜(12)を形成する。そして全TFT部上にレジスト(R)を被覆して、燐(P)などのn型不純物のイオン打ち込みを行い、第1の補助容量電極(11C)を低抵抗化する。

【0023】次に図8に示す如く、この上に、SiH<sub>4</sub>を材料ガスとした580℃の高温CVDによりpoly-Siを積層して、燐のイオン注入を行って低抵抗化した後、タングステンシリサイド(WSi)をスパッタリングする。引き続き、410℃の常圧CVDにより、注入ストッパー(14)となるSiO<sub>2</sub>を積層する。そして、これらSiO<sub>2</sub>、及びpoly-SiとWSiのポリサイド層をRIEにより同一パターンでエッチングして、ゲート電極(13G)と画素部においてこれを行について互いに接続するゲートライン(13L)、第2の補助容量電極(13C)、及び、これらゲート電極(13G)とそのライン及び第2の補助容量電極(13C)上に被覆された注入ストッパー(14)を形成する。

10

20

30

40

50

【0024】図9に示す如く、再び、410℃の常圧CVDにより、SiO<sub>2</sub>を積層し、これをRIEによりエッチングすることにより、ゲート電極(13G)とその上の注入ストッパー(14)に側壁スペーサ(15)を形成する。次に、図10に示す如く、p-chTFT(c)を覆うレジスト(R)を形成した後、燐(P)などのn型不純物の第1回のイオン打ち込みを低ドーズ量(3~5×10<sup>13</sup>/cm<sup>2</sup>)で行い、ゲート電極(13G)をマスクにソース及びドレイン領域(11S, 11D)とLD領域(11L)となる領域を低濃度(n-)にドーピングする。この時、画素部(a)ではゲート電極(13G)の直下はノンドープのチャンネル領域(11nd)に、シフトレジスタ部(b)のn-chTFTではp型にドーピングされたチャンネル領域(11pc)として残っている。なお、スペーサ(15)は、この工程において、燐イオン注入後のアニールによる横方向の拡散に対するマージンを設けるためと、チャンネル領域端の不純物濃度を低下してドレイン電界を緩和し、耐圧を向上する働きを有している。

【0025】引き続き図11に示す如く、画素部(a)にゲート電極(13G)よりもサイズの大きなレジスト(R1)を被覆してこれをマスクに燐(P)の第2回のイオン打ち込みを高ドーズ量(3×10<sup>15</sup>/cm<sup>2</sup>)で行う。これにより、画素部(a)のレジスト(R1)直下が、低濃度のドーピング領域(n-)に保たれてLD領域(11L)が形成されるとともに、このLD領域(11L)の外側には、高濃度にドーピングされたn+層からなるソース領域(11S)及びドレイン領域(11D)が形成される。シフトレジスタ部(b)では、LD領域が無く、チャンネル領域(11pc)の両側に高濃度にドーピングされたn+層からなるソース領域(11S)及びドレイン領域(11D)が形成される。

【0026】レジストを剥離した後、図12に示す如く、画素部(a)及びシフトレジスタ部(b)のn-chTFTを覆うレジスト(R)を形成し、p型不純物であるボロン(B)のイオン打ち込みを行い、p型の高濃度層(p+)によりp-chTFT(c)のソース領域(11S)及びドレイン領域(11D)を形成する。この時、ゲート電極(13G)直下では、ノンドープに保たれてチャンネル領域(11nd)が形成される。また、注入ストッパー(14)は、n型にドーピングされて低抵抗化されたゲート電極とそのラインへボロンがカウンタードーピングされて、抵抗を上げてしまうことを防いでいる。

【0027】ランプアニールまたはエキシマレーザーアニールにより、p-Siのドーパド領域(11cp, 11L, 11S, 11D)を活性化した後、図13に示す如く、410℃の常圧CVDによりSiO<sub>2</sub>を2000Å形成し、600℃でアニールした後、更に、300℃

のプラズマCVDによりSiO<sub>2</sub>を3000Åの厚さに成膜して、第1の層間絶縁膜(16)を形成する。その後、シリコン中の未結合手終端の目的で、450℃のH<sub>2</sub>アニールを行った後、RIEによりドレイン及びソース領域(11D, 11S)上のゲート絶縁膜(12)及び第1の層間絶縁膜(16)中にコンタクトホール(CT1, CT2)を形成する。

【0028】そして、図14に示す如く、Ti/AlSiをスパッタリングにより、7000Åの厚さに積層し、これをRIEにより、パターニングしてドレイン電極(17)及びソース電極(18)を形成し、各々、コンタクトホール(CT1, CT2)を介してドレイン及びソース領域(11D, 11S)に接続される。再び、シリコン中の未結合手終端のために、390℃のHプラズマ処理を行った後、図15に示す如く、410℃のCVDにより、SiO<sub>2</sub>を2000Åの厚さに積層した後、SOG膜、即ち、スピン塗布及び焼成により形成するSiO<sub>2</sub>膜を被覆して、平坦化した後、更に、410℃のCVDにより、SiO<sub>2</sub>を1000Åの厚さに積層して第2の層間絶縁膜(19)を完成する。そして、RIEにより画素部(a)のソース電極(18)上の第2の層間絶縁膜(19)中にコンタクトホール(CT3)を形成する。

【0029】最後に、ITOをスパッタリングにより成膜し、これをRIEによりパターニングして表示電極(20)を形成し、ソース電極(18)に接続され、図1に示すTFT基板が完成される。

【0030】

【発明の効果】以上の説明から明らかな如く、本発明は、多結晶シリコン薄膜トランジスタにより、画素部と同様に駆動回路部を基板上に一体形成した液晶表示装置において、駆動回路部のシフトレジスタ部にチャンネルドーピングを行うとともに、画素部及び駆動回路部のサンプリング部にはチャンネルドーピングを行わない構成である。これにより、シフトレジスタ部において、閾値が上がり、相補動作の導通・不導通制御マージンが得られ、誤動作が防がれ、信頼性が高まるとともに、画素部及びサンプリング部においては、p型導電によるOFF電流が防がれ、コントラスト比が向上され、かつ、ON抵抗が低下して充電効率が良くなるため、高精細、大画面にも最適な表示装置が得られる。また、閾値が低いため低電圧駆動が可能となり、消費電力が低減される。

【図面の簡単な説明】

【図1】本発明の実施形態に係る液晶表示装置の各部のTFTの断面図である。

【図2】本発明の実施形態に係る液晶表示装置の単位画素部の平面図である。

【図3】本発明の実施形態に係る液晶表示装置の各部のTFTの伝達特性特性である。

【図4】本発明の実施形態に係る液晶表示装置の各部の



TFTの電圧波形図である。

【図5】本発明の実施形態に係る液晶表示装置の製造方法を示す工程断面図である。

【図6】本発明の実施形態に係る液晶表示装置の製造方法を示す工程断面図である。

【図7】本発明の実施形態に係る液晶表示装置の製造方法を示す工程断面図である。

【図8】本発明の実施形態に係る液晶表示装置の製造方法を示す工程断面図である。

【図9】本発明の実施形態に係る液晶表示装置の製造方法を示す工程断面図である。

【図10】本発明の実施形態に係る液晶表示装置の製造方法を示す工程断面図である。

【図11】本発明の実施形態に係る液晶表示装置の製造方法を示す工程断面図である。

【図12】本発明の実施形態に係る液晶表示装置の製造方法を示す工程断面図である。

【図13】本発明の実施形態に係る液晶表示装置の製造方法を示す工程断面図である。

【図14】本発明の実施形態に係る液晶表示装置の製造方法を示す工程断面図である。

【図15】本発明の実施形態に係る液晶表示装置の製造\*

\* 方法を示す工程断面図である。

【図16】液晶表示装置の構成図である。

【図17】液晶表示装置の単位画素部の平面図である。

【図18】図17のB-B線に沿った断面図である。

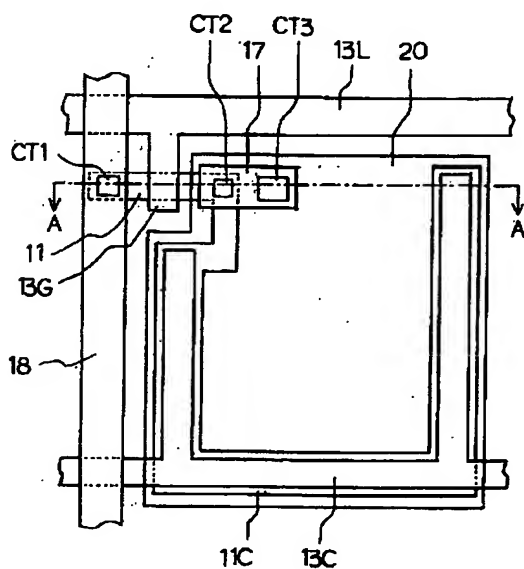
【図19】駆動回路部の断面図である。

【図20】従来の液晶表示装置の問題点を説明するTFTの伝達特性である。

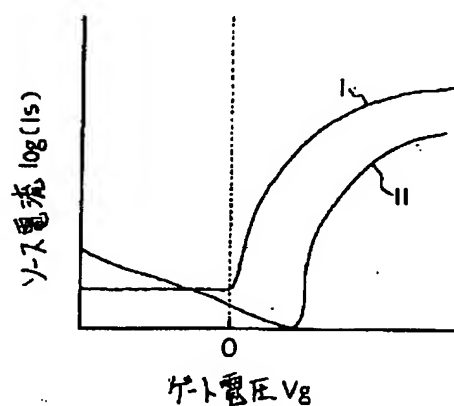
【符号の説明】

- 10 基板
- 11 p-Si
- 12 ゲート絶縁膜
- 13 ゲート電極配線
- 14 注入ストッパー
- 15 スペーサ
- 16 第1の層間絶縁膜
- 17 ドレイン電極
- 18 ソース電極
- 19 第2の層間絶縁膜
- 20 表示電極
- CT1, CT2, CT3 コンタクトホール
- R レジスト

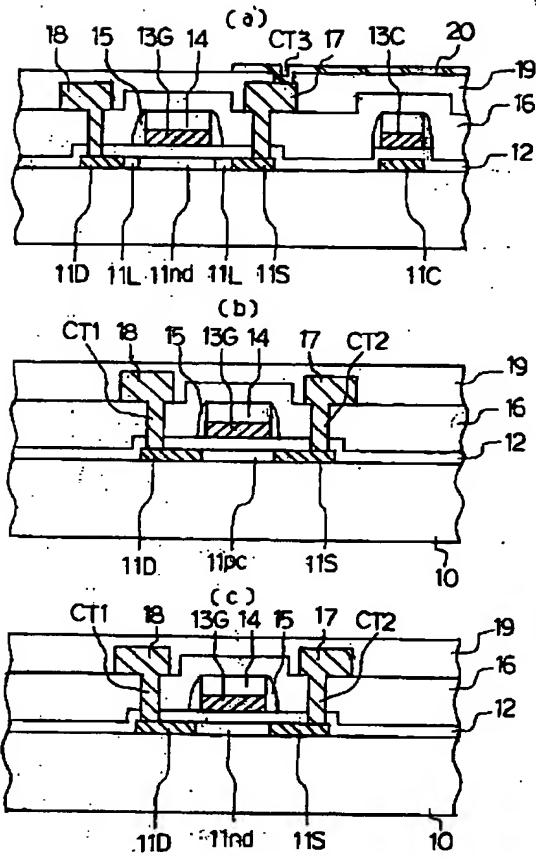
【図2】



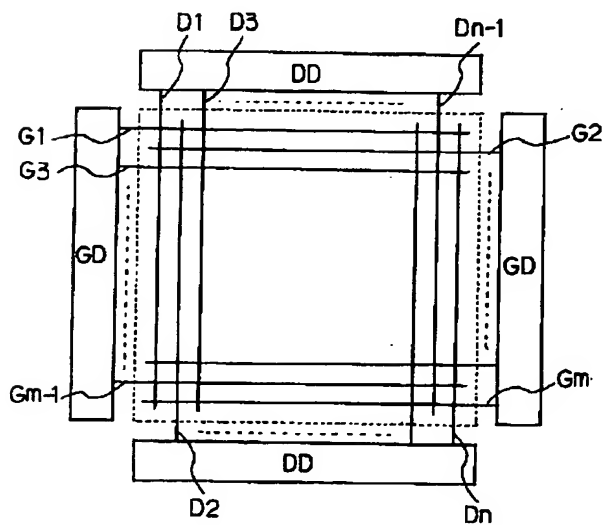
【図3】



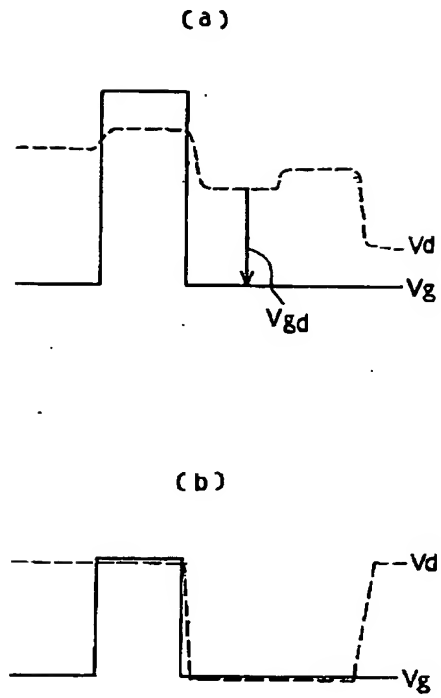
【図1】



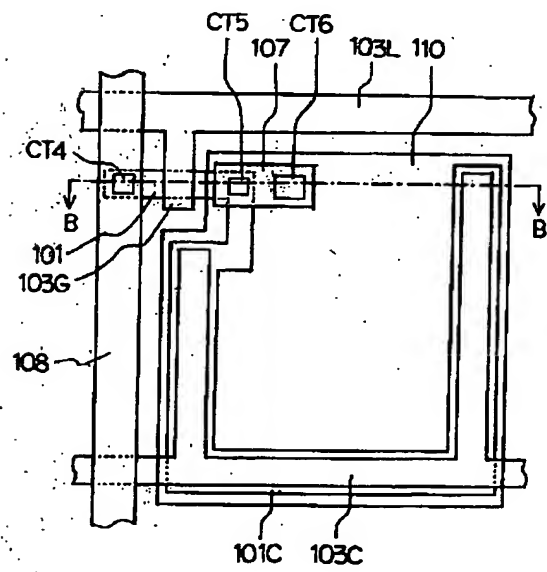
【図16】



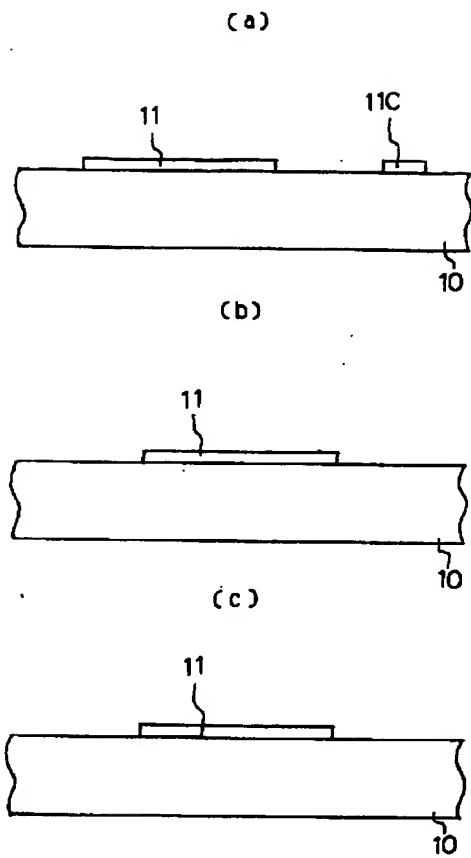
【図4】



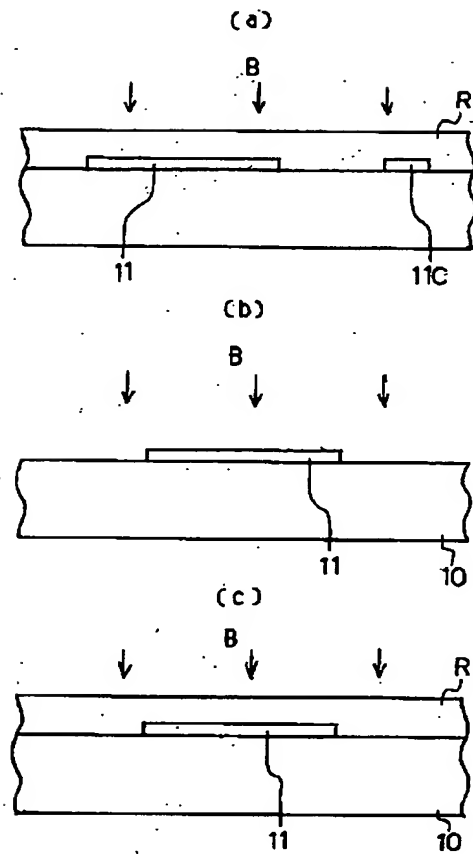
【図17】



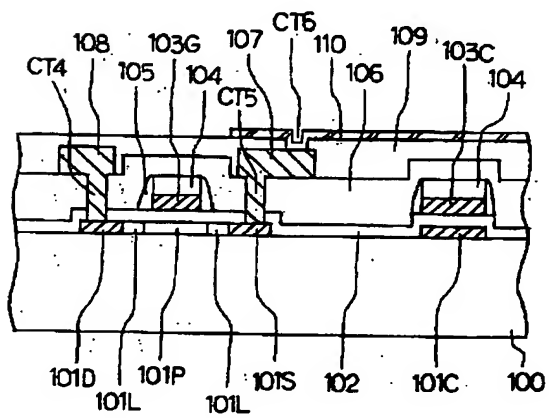
【図5】



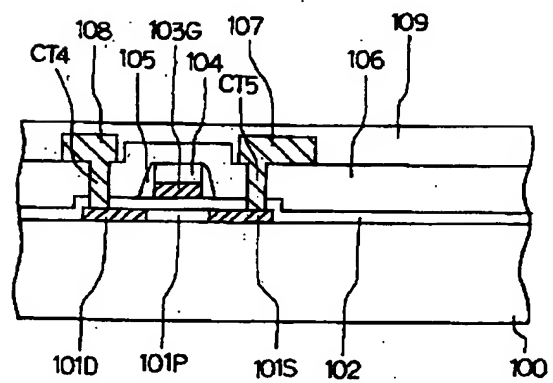
【図6】



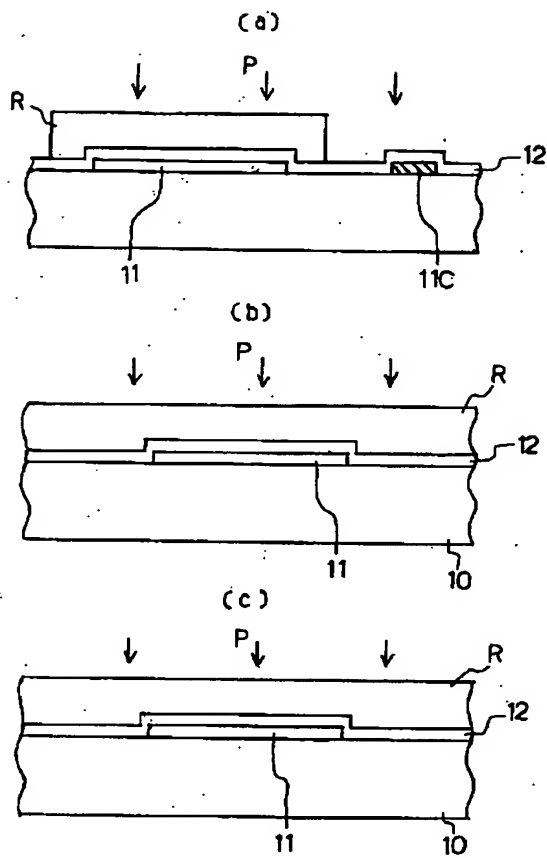
【図18】



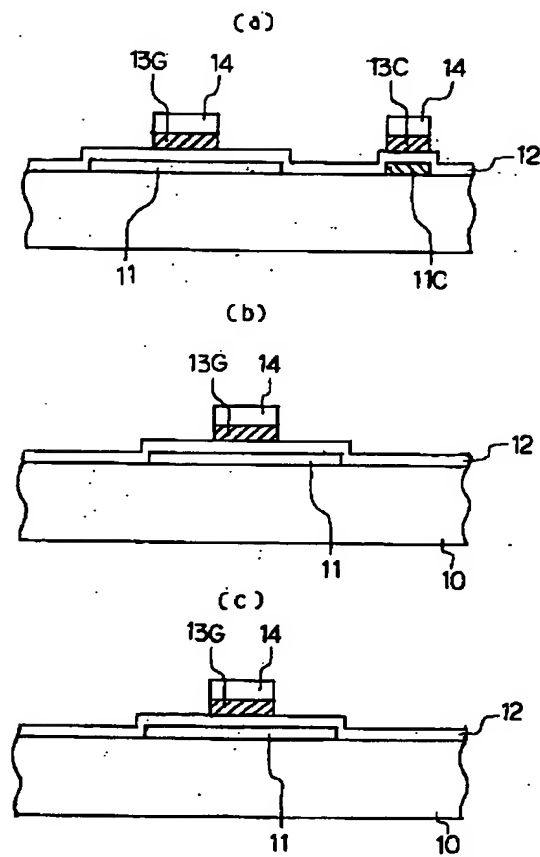
【図19】



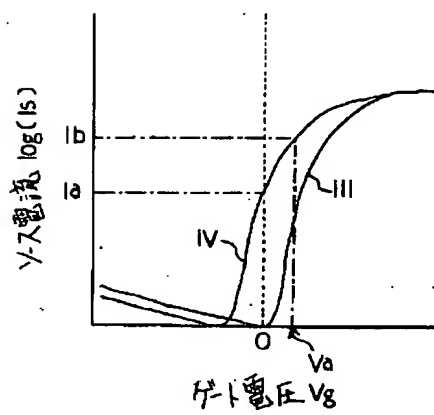
【図7】



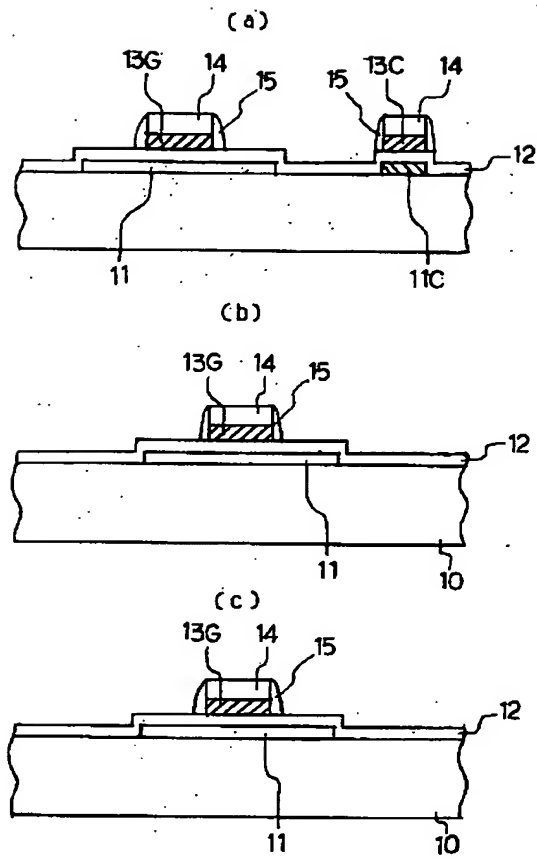
【図8】



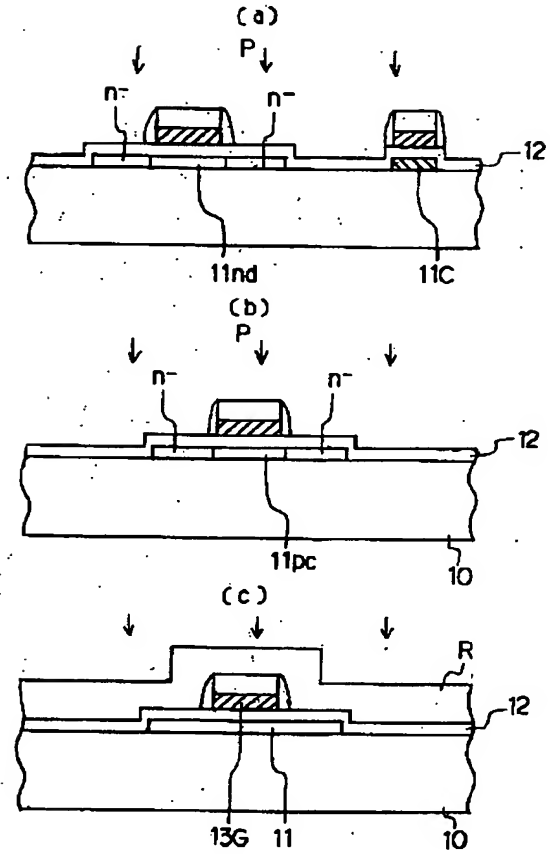
【図20】



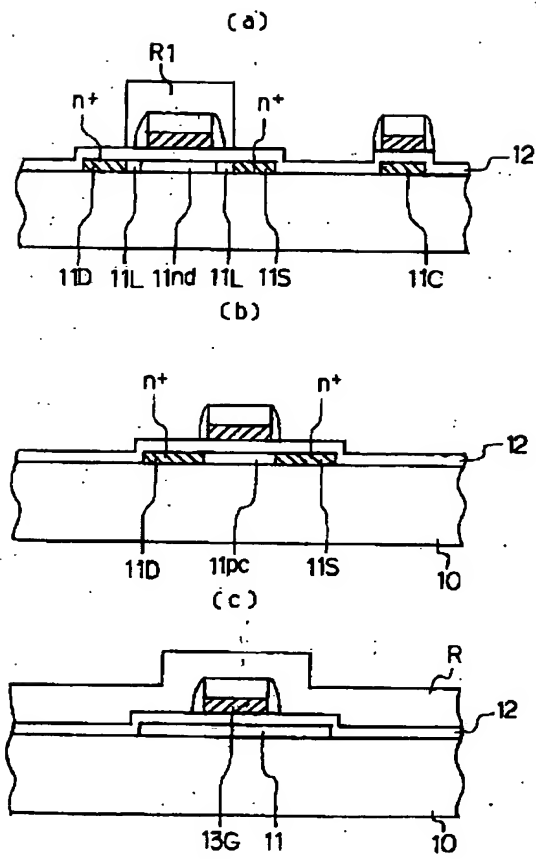
【図9】



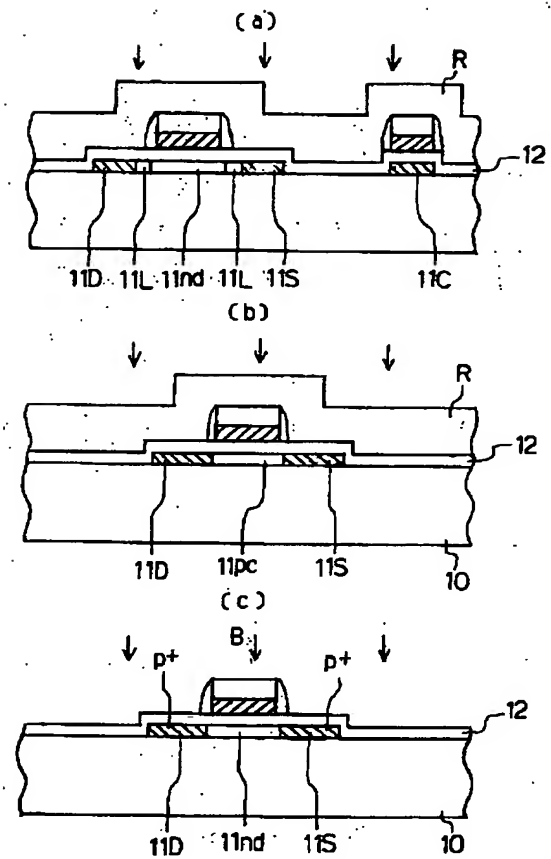
【図10】



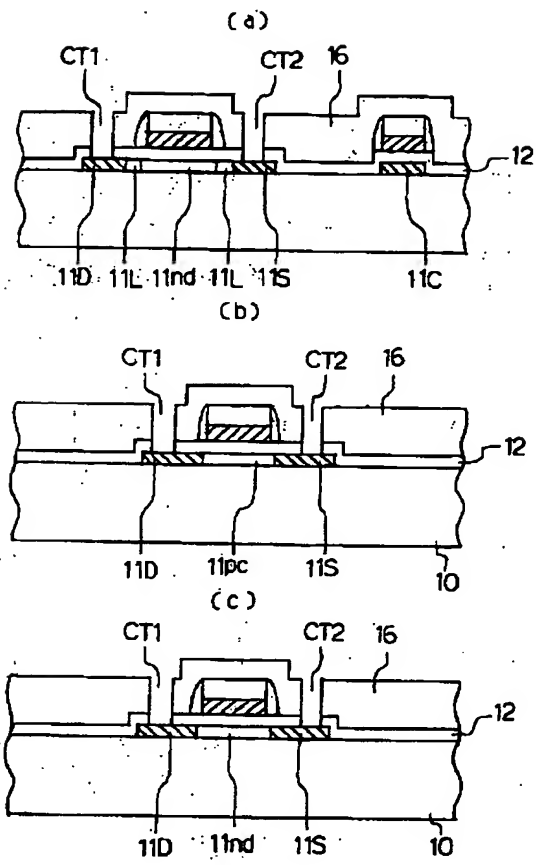
【図11】



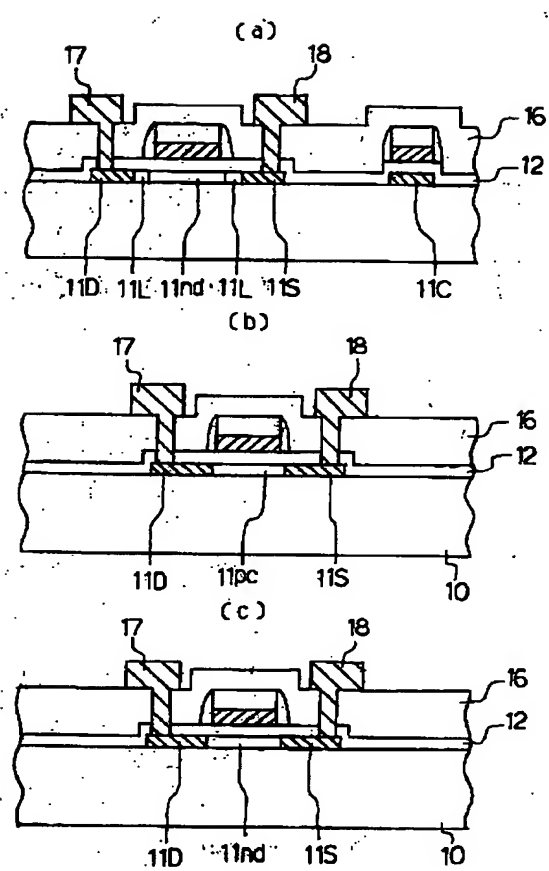
【図12】



【図13】



【図14】





【図15】

